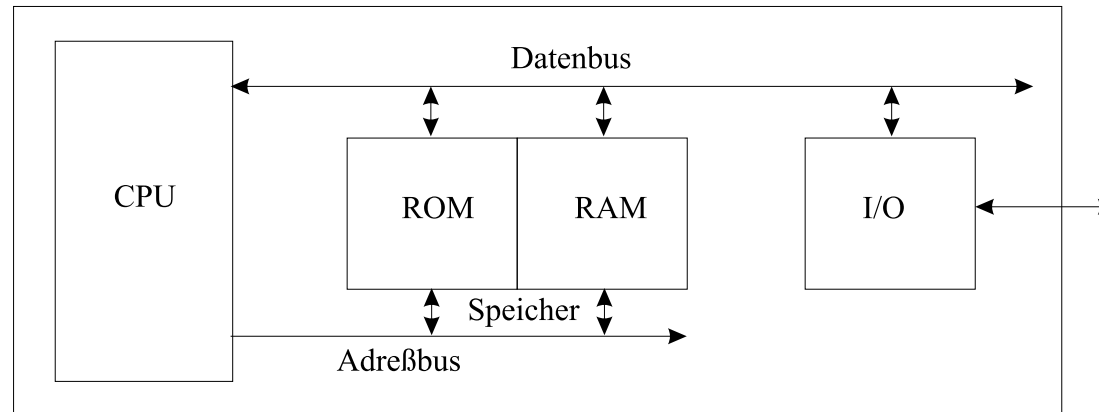


Teil VIII

Von-Neumann-Rechner

Grundlegende Architektur

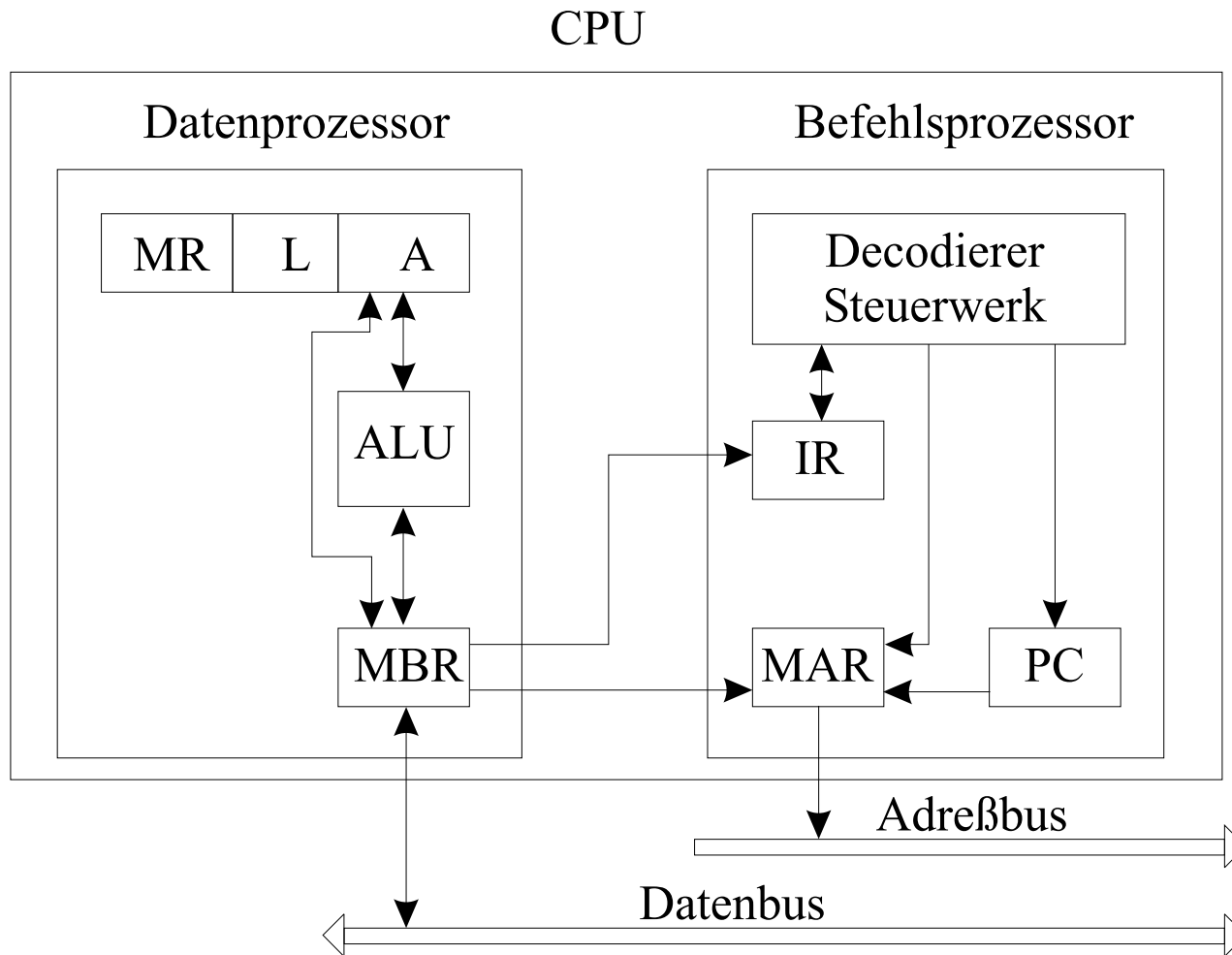
- **Zentraleinheit:** Central Processing Unit (**CPU**)
Ausführen von Befehlen und Ablaufsteuerung
- **Speicher:** Memory
Ablage von Daten **und** Programmen
Read Only Memory (**ROM**), Random Access Memory (**RAM**)
- **Ein-/Ausgabe-Einheit:** Input/Output (**IO**)
Tastatur, Bildschirm, Festplatte, andere Peripherie
- **Verbindungen:** Datenbus, Adressbus



Aufbau einer (minimalen) CPU (1)

- **Datenprozessor:** Befehlsausführung
 - Rechenwerk: Arithmetisch-Logische Einheit (**ALU**)
 - (mindestens) drei Register:
 - Akkumulator **A**: z.B. für Operanden, Additionsergebnis
 - Multiplikator-Register **MR**: z.B. für Multiplikationsergebnis
 - Link-Register **L**: z.B. für Überlauf
 - Puffer-Register: Memory-Buffer-Register (**MBR**): Kommunikation mit dem Speicher
- **Befehlsprozessor:** Ablaufsteuerung
 - Befehlsregister: Instruction Register (**IR**): Aktuell bearbeiteter Befehl
 - Speicheradressregister: Memory Address Register (**MAR**): nächste anzusprechende Speicheradresse
 - Befehlszähler: Programm Counter (**PC**): Adresse des nächsten Befehls
 - Decodierer: Entschlüsselung eines Befehls
 - Steuerwerk: Taktung, Interrupts und Ablauf.

Aufbau einer (minimalen) CPU (2)



Zwei-Phasen Verarbeitung

1 Interpretations-phase: (Fetch-Phase)

1.1 Bringe Inhalt aus PC nach MAR

1.2 Bringe durch MAR adressierten Inhalt (nächsten Befehl) nach MBR

1.3 Entschlüssele Befehl, z.B. hole zweiten Operanden über MAR nach MBR

1.4 Aktualisiere PC: entweder +1 oder Adresse eines Sprungbefehls

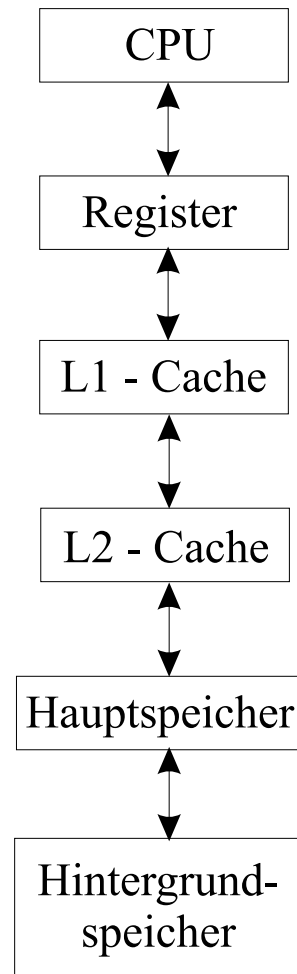
2 Ausführungsphase: (Execution-Phase)

Befehlsausführung und Initialisierung der Interpretations-phase für nächsten Befehl

Speicher–Aufbau (1)

- Dimensionen:
 - Breite m : Größe einer Speicherzelle
8 Bit bzw. Vielfaches von 8 Bit; bestimmt Grösse von MBR
 - Länge N : Anzahl der Speicherzellen
für MAR der Breite n , lineare Addressierung bei $N \leq 2^n$
- Speicherhierarchie:
 - Register: direkt in CPU (z.B. Akku)
 - L1–Cache: direkt im Prozessorkern, Grösse 16–32 KByte (512 Pentium–Pro), Zugriffszeiten unter 5 ns
 - L2–Cache: außerhalb, Grösse 256–1024 KByte, Zugriffszeiten 10–12 ns.
 - RAM: EDO RAM (50–60 ns), SDRAM (7–12 ns), Grösse 64–1024 MByte
 - Hintergrundspeicher: Festplatten (Gigabyte), DVD (Gigabyte), CD-ROM (640 MByte), Floppy, Backupmedien

Speicher–Aufbau (2)



Busse

- **Serielle vs. Parallel:** Im Allgemeinen parallel
- **Addressbus:**
Unidirektional von CPU nach Speicher
Breite wie MAR
- **Datenbus:**
Bidirektional zwischen CPU und Speicher
Breite wie MBR
- **I/O-Busse**

Input/Output

- **Asynchronität:**
 - I/O ist wesentlich langsamer als die CPU, CPU soll nicht durch Warten auf I/O blockiert werden
 - Daher: CPU ist mit anderen Aufgaben beschäftigt, wenn I/O anliegt
- **I/O Controller:**
 - Steuert I/O Gerät an
 - Puffert Ein/Ausgabe-Daten
 - Synchronisiert sich mit CPU mittels Interrupts

Beispiel: Eingabe

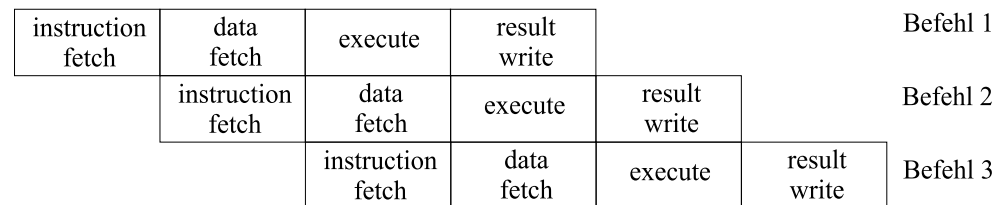
- (1) Input Gerät (z.B.) Tastatur ist bereit zur Übertragung, I/O Controller sendet Interrupt-Signal an CPU
- (2) CPU unterbricht, liest I/O Controller Status, sendet Start-Signal an I/O Controller, setzt Programmbearbeitung fort.
- (3) I/O Controller puffert Daten. Wenn Eingabe beendet oder Puffer voll, weiteres Interrupt-Signal an CPU
- (4) CPU unterbricht, überträgt Daten von I/O Controller in den Speicher, setzt Programmbearbeitung fort.

Interrupts

- **Externer Interrupt:** Wird außerhalb der CPU erzeugt (z.B. I/O Controller)
- **Interner Interrupt:** Wird von der CPU erzeugt (z.B. Division durch 0), startet Fehlerbehandlung
- **Maskierbarer Interrupt:** Wird nicht sofort behandelt, sondern erst nach Beendigung des aktuellen "Programms"
- **Unmaskierbarer Interrupt:** Unterbricht Programmbearbeitung sofort.
- **Priorität von Interrupts:** Legt Reihenfolge der Interruptbehandlung fest.

Optimierung

- **Ziel:** Erhöhung des Durchsatzes der CPU
- **Ansatz:**
 - **Befehlsphasenpipelining:** Parallele Komponenten für Laden von Befehlen, Laden von Daten, Ausführen, und Speichern der Resultate



- **Parallelität:** Parallele Komponenten für den gesamten Zyklus (z.B. für Integer-Arithmetik und Floating-Point Arithmetik)

